

DRAM for storing data in pairs of cells

Patent Number: ■ EP1081714
Publication date: 2001-03-07
Inventor(s): MIYABO TORU (JP); SATOH KIMIYAKI (JP); FUJIOKA SHINYA (JP); MATSUMIYA MASATO (JP)
Applicant(s): FUJITSU LTD (JP)
Requested Patent: ■ JP2001143463
Application Number: EP20000307423 20000830
Priority Number(s): JP19990246687 19990831; JP20000245847 20000814
IPC Classification: G11C11/409; G11C7/00
EC Classification: G11C7/10M6, G11C7/18, G11C11/4097
Equivalents: ■ US6344990
Cited patent(s): US5661678; US4916666

Abstract

The DRAM is configured such that data to be stored is stored as complementary data in one pair of memory cells (MC00, /MC00), and this pair of memory cells is connected to one pair of bit lines (BL0, /BL0) connected to a common sense amplifier (S/A0) in response to selection of a word line (WL0). That is, at the positions of intersection of the pair of bit lines connected to the sense amplifier and the single word line, a pair of memory cells is positioned; by selecting the word line, complementary data is written from the pair of bit lines to the pair of memory cells, or complementary data is read to the pair of bit lines. The H level and L level are stored in the pair of memory cells as one bit of stored data, so that the read sensitivity is increased, and refresh cycles can be made longer, or the word line driving level can be lowered, or the sense amplifier activation timing can be speeded. Further, in this invention the bit lines comprising a first bit line pair (BL0, /BL0) are arranged in alternation with and surrounding the bit lines of a second bit line pair (BL1, /BL1); the sense amplifier (S/A0) for the first bit line pair is positioned on one side of the cell array, and the sense amplifier (S/A1) for the second bit line pair is positioned on the other side of the cell array. The sense amplifier connected to either one bit line pair is activated according to the selected word line, the sense amplifier connected to the other bit line pair is kept in the inactive state, and the other bit line pair is kept at the precharge level. Through this configuration, only half the sense amplifier group of conventional devices is activated during reading or writing, so that power consumption can be reduced; moreover, the other bit line pair kept at the precharge level serves the function of shielding the one bit line pair driven by the sense amplifier, so that crosstalk between bit lines is reduced, and the operating margin of the sense amplifier of the one bit line pair can be

increased.



Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-143463

(P 2 0 0 1 - 1 4 3 4 6 3 A)

(43) 公開日 平成13年 5月25日 (2001. 5. 25)

(51) Int. Cl. ⁷

識別記号

F I

テ-マコード (参考)

G11C 11/401

G11C 11/34

362

B

審査請求 未請求 請求項の数 6 O L (全18頁)

(21) 出願番号 特願2000-245847 (P 2000-245847)

(22) 出願日 平成12年 8月14日 (2000. 8. 14)

(31) 優先権主張番号 特願平11-246687

(32) 優先日 平成11年 8月31日 (1999. 8. 31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4丁目 1番
1号

(72) 発明者 松宮 正人

神奈川県川崎市中原区上小田中 4丁目 1番
1号 富士通株式会社内

(72) 発明者 藤岡 伸也

神奈川県川崎市中原区上小田中 4丁目 1番
1号 富士通株式会社内

(74) 代理人 100094525

弁理士 土井 健二 (外 1名)

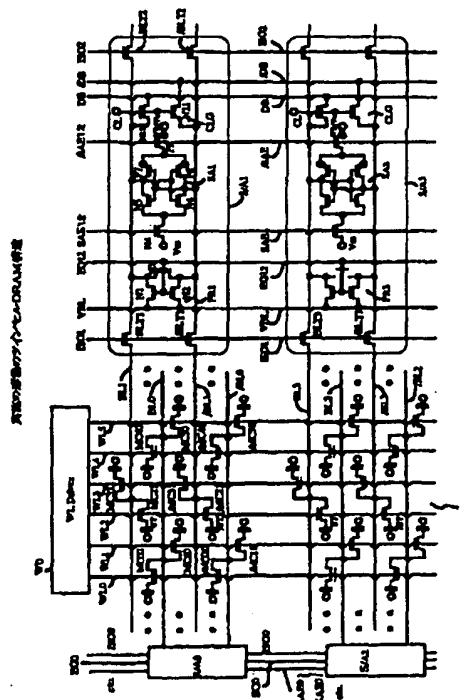
最終頁に続く

(54) 【発明の名称】 1対のセルにデータを記憶するDRAM

(57) 【要約】 (修正有)

【課題】 消費電力を削減した、或いは動作を高速化した新規な構成のDRAMを提供する。

【解決手段】 記憶すべきデータを相補データで1対のメモリセルに記憶し、その1対のメモリセルが、ワード線WLの選択にตอบสนองして共通のセンスアンプSAに接続される1対のビット線BL、/BLに接続されるように構成することを特徴とする。1ビットの記憶データに対して、1対のメモリセルにHレベルとLレベルが記憶されるので、読み出し感度が高くなり、リフレッシュサイクルを長くすることができる。更に、第1のビット線対のセンスアンプがセルアレイの一方側に配置され、第2のビット線対のセンスアンプがセルアレイの他方側に配置される。そして、選択されるワード線に応じて、いずれか一方のビット線対に接続されるセンスアンプが活性化され、他方のビット線対に接続されるセンスアンプは非活性状態に維持され、他方のビット線対がプリチャージレベルに維持される。



【特許請求の範囲】

【請求項1】複数のメモリセルを有するメモリ回路において、

順番に配置された第1、第2、第3、第4のビット線を有する複数のビット線グループと、

前記第1及び第3のビット線からなる第1のビット線対との交差位置の1対のメモリセルに接続される第1のワード線群と、

前記第2及び第4のビット線からなる第2のビット線対との交差位置の1対のメモリセルに接続される第2のワード線群とを有するメモリセルアレイと、

前記メモリセルアレイの一方側に配置され、前記第1のビット線対にそれぞれ接続される第1のセンスアンプ群と、

前記メモリセルアレイの他方側に配置され、前記第2のビット線対にそれぞれ接続される第2のセンスアンプ群とを有し、

1つのワード線の駆動に応答して、記憶データに対応する相補データが前記ビット線対から前記1対のメモリセルに書き込まれ、更に、1つのワード線の駆動に応答して、前記1対のメモリセルに記憶された前記相補データが前記ビット線対に読み出され、

前記第1のワード線群のいずれかのワード線が駆動される時に、前記第1のセンスアンプ群が活性化されて前記第1のビット線対が逆相に駆動され、前記第2のセンスアンプ群が非活性に維持されて前記第2のビット線対がプリチャージレベルに維持され、

前記第2のワード線群のいずれかのワード線が駆動される時に、前記第2のセンスアンプ群が活性化されて前記第2のビット線対が逆相に駆動され、前記第1のセンスアンプ群が非活性に維持されて前記第1のビット線対がプリチャージレベルに維持されることを特徴とするメモリ回路。

【請求項2】請求項1において、

更に、前記ビット線対をプリチャージレベルにプリチャージするプリチャージ回路を有し、

前記1対のメモリセルに書き込まれる相補データに対応する電圧は、前記プリチャージレベルより高い第1の電圧と、前記プリチャージレベルより低い第2の電圧であることを特徴とするメモリ回路。

【請求項3】請求項2において、

リフレッシュ動作は、少なくとも1対のメモリセル内における前記第1の電圧が前記プリチャージレベルより低くなった後に、行われることを特徴とするメモリ回路。

【請求項4】請求項2において、

前記センスアンプは、前記ビット線対の一方をHレベルに他方をLレベルに増幅し、

前記メモリセルに書き込みされるHレベル側のセル電圧が、前記ビット線対のHレベルよりも低くなるように、選択された前記ワード線の駆動レベルが設定されている

ことを特徴とするメモリ回路。

【請求項5】請求項2において、

選択された前記ワード線が所定の駆動レベルに達する前に、前記センスアンプが活性化されて、前記ビット線対の電位が増幅されることを特徴とするメモリ回路。

【請求項6】請求項1において、

前記第1のセンスアンプ群は、前記メモリセルアレイの選択信号と前記第1のワード線群の選択信号とに応答して、活性化され、

前記第2のセンスアンプ群は、前記メモリセルアレイの選択信号と前記第2のワード線群の選択信号とに応答して、活性化されることを特徴とするメモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1対のセルにデータを記憶するダイナミックRAM(DRAM)に関し、ツインセル構造にすることで消費電力を削減することができる、或いは動作を高速化することができるDRAMに関する。本明細書では、かかるDRAMを、ツインセルDRAMと称する。

【0002】

【従来の技術】DRAMは、1つの選択トランジスタ(セルトランジスタ)と1つの記憶用キャパシタ(セルキャパシタ)からなるメモリセルを有する大容量メモリであり、コンピュータのキャッシュメモリ等に広く利用されている。

【0003】従来のDRAMは、選択されたワード線を駆動することによりそのワード線に接続されるセルトランジスタを導通し、セルキャパシタをビット線に接続し、セルキャパシタの電荷の有無に応じてビット線電位を上昇又は下降させ、その変化をセンスアンプで読み出す。その場合、読み出し感度を上げるために、センスアンプに接続される他方のビット線をレファレンス電位に利用する。

【0004】即ち、従来のDRAMは、データ1、0を1つのセルキャパシタに電荷を蓄積する又はしないにより記憶する。そして、その状態が一方のビット線の電位に反映され、他方のビット線の電位をレファレンス電位に利用して、セルの記憶データがセンスアンプにより読み出される。

【0005】図9は、従来のDRAMの構成図である。

図9中、メモリセルアレイMCAの両側に、センスアンプ回路を内蔵するセンスアンプブロックS/A0、S/A1が配置される。メモリセルアレイMCA内には、複数のワード線WL0~WL5と、それに交差する複数のビット線対BL0、/BL0及びBL1、/BL1とが配置され、それらの交差位置には、セルトランジスタとセルキャパシタからなるメモリセルMC00~が配置される。ビット線対BL0、/BL0はセンスアンプブロックS/A0側に接続され、ビット線対BL1、/BL1はセンスアンプブロックS/A1側に接続される。

【0006】センスアンプブロックS/AI内には、ビット線トランスファークラップBLT1、/BLT1と、プリチャージ回路PR1と、センスアンプ回路SA1及びコラムゲートCLGとが設けられる。また、ビット線トランスファークラップBLT2、/BLT2は、右側の図示しないメモリセルアレイ内のビット線対に接続される。

【0007】図9の従来のDRAMにおける読み出し動作は、次の通りである。プリチャージ期間において、イコライズ信号EQ12の活性化によりビット線対BL1、/BL1がプリチャージレベルVBLにプリチャージされる。このプリチャージレベルは、通常、Hレベル側のセル電圧及びビット線電圧ViiとLレベル側のグラウンド電圧との中間電圧Vii/2である。次に、ワード線WL2が選択されて駆動されると、メモリセルMC21、MC20のトランジスタが導通し、セル電圧に応じてビット線BL1、BL0の電位が変化する。そして、センスアンプブロックS/AI内のセンスアンプSA1が活性化信号SAE、/SAEにより活性化されて、ビット線BL1と/BL1の電圧差が検出され、センスアンプSA1によりビット線対BL1、/BL1が電源電圧Viiまたはグラウンド電圧Vssまで増幅される。最後に、コラムゲートCLGが、コラム選択信号CLの活性化により導通し、センスアンプにより増幅された電圧が、データバス線DB、/DBに読み出される。

【0008】やがて、ワード線WL2が立ち下がり、増幅されたビット線電位がメモリセルMC21内に保持されて再書き込みが行われ、センスアンプが非活性化されて、ビット線プリチャージが行われる。

【0009】上記の通り、従来のDRAMでは、データ1、0が1つのメモリセルに記憶され、そのメモリセルを選択することで一方のビット線の電位が変化し、他方のビット線電位をレファレンス電位に利用して、センスアンプにより記憶データが読み出される。

【0010】かかる構成のため、従来のDRAMでは様々な制約がある。例えば、Hレベルを記憶したメモリセル内のセル電圧は、リーク電流により低下したとしても、レファレンス電圧Vii/2よりも所定電圧高いレベル以上に保たれている必要がある。Hレベルのセル電圧がそれより低下すると、対応するビット線電位を十分に上昇させることができなくなり、センスアンプによる検出が困難になるからである。その為、従来のDRAMでは、リーク電流によりデータ読み出し不良にならないようにするために、所定の時間サイクルでリフレッシュ動作を行うことが要求される。

【0011】また、従来のDRAMでは、Hレベル側のセル電圧を十分高くするために、ワード線の駆動電位をHレベル側のセル電圧又はビット線電圧より、セルトランジスタの閾値電圧以上高くすることが望まれる。Hレベル側のセル電圧を十分高くすることにより、読み出し時にビット線の電位を十分に上昇させることができ、センスアンプにより読み出すことが可能になるからであ

る。また、リーク電流によりセル電圧が低下しても、ビット線プリチャージレベルVii/2より所定電圧以上高ければ、上記した通りビット線電位を十分に上昇させることができる。

【0012】また、従来のDRAMでは、読み出し動作において、ワード線を十分に高いレベルに駆動して、メモリセル内の電荷をビット線に十分に引き出した後に、センスアンプを活性化させることが望まれる。センスアンプにより検出するためには、Hレベルのセル電圧に対してビット線の電位を十分に上昇させる必要があるからである。かかる動作は、動作の低速化を招く。

【0013】上記のような頻度の高いリフレッシュ動作やワード線の高電圧化等の様々な制約は、消費電力の増大を招いている。DRAMは、微細加工技術の進歩により大容量化を達成することができたが、その一方で、リフレッシュ動作が必要などに伴う消費電力が大きいというデメリットは、未だ十分に解決されていない。また逆に、従来のDRAMは、消費電力を抑えると動作が遅くなるという問題を有している。

【0014】

【発明が解決しようとする課題】上記の問題を解決するDRAMとして、1対のメモリセルに相補データを記憶し、読み出し時にその1対のメモリセルを選択してビット線対に相補データを読み出し、そのビット線対をセンスアンプで駆動するツインセルDRAMが提案されている。例えば、特公昭54-28252号（英国特許公開1502334）、特開昭55-157194号、特開昭61-34790号、特開平8-222706号（米国特許5661678）に2つのメモリセルで1つのデータを記憶する構成が示されている。

【0015】しかしながら、これらの先行技術には、単に1つのデータを1対のメモリセルに記憶して、ビット線対に相補データを読み出し、センスアンプにより駆動することが示されているだけである。かかる先行技術のツインDRAMでは、確かにセンスアンプの動作マージンが大きくなり、リフレッシュサイクルをある程度長くすることができるが、全てのセンスアンプが同時に動作したり、隣接するビット線間のクロストークによる動作マージンの低下などの問題が残されている。

【0016】そこで、本発明の目的は、消費電力を少なくした新規な構造のDRAMを提供することにある。

【0017】更に、本発明の別の目的は、リフレッシュサイクルをより長くして消費電力を少なくすることができる新規な構造のDRAMを提供することにある。

【0018】

【課題を解決するための手段】上記の目的を達成するために、本発明の一つの側面は、記憶すべきデータを相補データで1対のメモリセルに記憶し、その1対のメモリセルが、ワード線の選択にตอบสนองして共通のセンスアンプに接続される1対のビット線に接続されるように構成す

10

20

30

40

50

ることを特徴とする。即ち、センスアンプに接続される 1 対のビット線と 1 本のワード線との交差位置に、1 対のメモリセルが配置され、当該ワード線を選択することで 1 対のビット線から相補データが 1 対のメモリセルに書き込まれ、または 1 対のビット線に相補データが読み出される。1 ビットの記憶データに対して、1 対のメモリセルに H レベルと L レベルが記憶されるので、後述する実施の形態例で説明する通り、読み出し感度が高くなり、リフレッシュサイクルを長くすることができ、或いはワード線駆動レベルを低くすることができ、或いはセンスアンプの活性化タイミングを早めることが可能になる。

【0019】更に、本発明では、第 1 のビット線対を構成するビット線が第 2 のビット線対のビット線を挟んでとびとびに配置され、第 1 のビット線対のセンスアンプがセルアレイの一方側に配置され、第 2 のビット線対のセンスアンプがセルアレイの他方側に配置される。そして、選択されるワード線に応じて、いずれか一方のビット線対に接続されるセンスアンプが活性化され、他方のビット線対に接続されるセンスアンプは非活性状態に維持され、他方のビット線対がプリチャージレベルに維持される。かかる構成にすることで、読み出し又は書き込み時に従来の半分のセンスアンプ群が活性化されるだけであり消費電力を削減できると共に、プリチャージレベルに維持される他方のビット線対がセンスアンプに駆動される一方のビット線対をシールドする機能を発揮し、ビット線間のクロストークを少なくし、一方のビット線対のセンスアンプの動作マージンを大きくすることができる。

【0020】上記の目的を達成するために、本発明の別の側面は、複数のメモリセルを有するメモリ回路において、順番に配置された第 1、第 2、第 3、第 4 のビット線を有する複数のビット線グループと、前記第 1 及び第 3 のビット線からなる第 1 のビット線対との交差位置の 1 対のメモリセルに接続される第 1 のワード線群と、前記第 2 及び第 4 のビット線からなる第 2 のビット線対との交差位置の 1 対のメモリセルに接続される第 2 のワード線群とを有するメモリセルアレイと、前記メモリセルアレイの一方側に配置され、前記第 1 のビット線対にそれぞれ接続される第 1 のセンスアンプ群と、前記メモリセルアレイの他方側に配置され、前記第 2 のビット線対にそれぞれ接続される第 2 のセンスアンプ群とを有し、1 つのワード線の駆動にตอบสนองして、記憶データに対応する相補データが前記ビット線対から前記 1 対のメモリセルに書き込まれ、更に、1 つのワード線の駆動にตอบสนองして、前記 1 対のメモリセルに記憶された前記相補データが前記ビット線対に読み出され、前記第 1 のワード線群のいずれかのワード線が駆動される時に、前記第 1 のセンスアンプ群が活性化されて前記第 1 のビット線対が逆相に駆動され、前記第 2 のセンスアンプ群が非活性に維

持されて前記第 2 のビット線対がプリチャージレベルに維持され、前記第 2 のワード線群のいずれかのワード線が駆動される時に、前記第 2 のセンスアンプ群が活性化されて前記第 2 のビット線対が逆相に駆動され、前記第 1 のセンスアンプ群が非活性に維持されて前記第 1 のビット線対がプリチャージレベルに維持されることを特徴とするメモリ回路。

【0021】上記の発明において、より好ましい実施例では、更に、前記ビット線対をプリチャージレベルにプリチャージするプリチャージ回路を有し、前記 1 対のメモリセルに書き込まれる相補データに対応する電圧は、前記プリチャージレベルより高い第 1 の電圧と、前記プリチャージレベルより低い第 2 の電圧であることを特徴とする。

【0022】更に好ましい実施例では、上記において、リフレッシュ動作は、少なくとも 1 対のメモリセル内における前記第 1 の電圧が前記プリチャージレベルより低くなった後に、行われることを特徴とする。

【0023】更に好ましい実施例では、上記において、前記センスアンプは、前記ビット線対の一方を H レベルに他方を L レベルに増幅し、前記メモリセルに書き込まれる H レベル側のセル電圧が、前記ビット線対の H レベルよりも低くなるように、選択された前記ワード線の駆動レベルが設定されていることを特徴とする。

【0024】更に好ましい実施例では、上記において、選択された前記ワード線が所定の駆動レベルに達する前に、前記センスアンプが活性化されて、前記ビット線対の電位が増幅されることを特徴とする。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0026】図 1 は、本実施の形態例におけるメモリ回路の構成図である。本実施の形態例のメモリ回路は、1 つのワード線の駆動にตอบสนองして、センスアンプに接続されるビット線対に接続される 1 対のメモリセル（ツインセル）に、記憶データに対応する相補データが記憶される。かかるツインセル DRAM では、メモリセルアレイのビット線とワード線、及びそれらの交差位置のメモリセルの配置は、図 9 に示した従来の DRAM の配置と基本的に同じである。また、センスアンプブロックの構成も、従来例と同じである。

【0027】但し、ツインセル DRAM が従来例と異なるところは、1 つのワード線の駆動にตอบสนองして、1 対のメモリセルがセンスアンプに接続されるビット線対に同時に接続される点である。そのための具体的な構成の違いは、図 9 と図 1 から明らかな通り、図 9 の従来の DRAM では、上から連続するビット線対が一方の（右側の）センスアンプブロック S/A1 に、次の連続するビット線対が他方の（左側の）センスアンプブロック S/A0 に、

それぞれ接続されるのに対して、図1のツインセルDRAMでは、上から奇数番目のビット線の対BL1、/BL1が一方の(右側の)センスアンプブロックS/A1に、上から偶数番目のビット線の対BL0、/BL0が他方の(左側の)センスアンプブロックS/A0に、それぞれ接続される。

【0028】図1に従って、本実施の形態例のツインセルDRAMの構成を説明する。メモリセルアレイMCAには、6本のワード線WL0~WL5と、8本のビット線BL0、/BL0~BL3、/BL3とが配置される。ビット線対BL0、/BL0は、左側のセンスアンプブロックS/A0側に接続され、ビット線対BL1、/BL1は、右側のセンスアンプブロックS/A1側に接続され、更に、ビット線対BL2、/BL2は、左側のセンスアンプブロックS/A2側に接続され、ビット線対BL3、/BL3は、右側のセンスアンプブロックS/A3側に接続される。

【0029】ワード線WL0が選択されると、1対のメモリセルMC00、/MC00のセルトランジスタが導通し、それらのセルキャパシタがビット線対BL0、/BL0に接続される。同様にワード線WL1が選択されると、1対のメモリセルMC10、/MC10のセルトランジスタが導通し、それらのセルキャパシタがビット線対BL0、/BL0に接続される。一方、ワード線WL2が選択されると、1対のメモリセルMC21、/MC21のセルトランジスタが導通し、それらのセルキャパシタがビット線対BL1、/BL1に接続される。同様にワード線WL3が選択されると、1対のメモリセルMC31、/MC31のセルトランジスタが導通し、それらのセルキャパシタがビット線対BL1、/BL1に接続される。ワード線WL4またはWL5が選択される場合は、1対のメモリセルMC40、/MC40またはMC50、/MC50が、それぞれビット線対BL0、/BL0に接続される。

【0030】各1対のメモリセルMC00、/MC00、MC10、/MC10、MC21、/MC21、MC31、/MC31、MC40、/MC40、及びMC50、/MC50は、それぞれ1ビットのデータを記憶する記憶ユニットを構成する。そして、各1対のメモリセルは、記憶されるデータに対応して相補データを記憶する。即ち、1対のメモリセルの一方にHレベルが記録される場合は、他方にLレベルが記録される。逆の記憶データの場合は、1対のメモリセルの一方にLレベルが記録され、他方にHレベルが記録される。そして、選択されたワード線を駆動すると、1対のメモリセルが同時にビット線対に接続され、記録されていた相補データに対応して、当該ビット線対の電位に所定の電圧差が発生する。この電圧差が、センスアンプにより検出され、ビット線対の電位が増幅される。

【0031】図1には、各ワード線を駆動するワード線ドライバ回路WDが示される。また、図1には、右側のセンスアンプブロックS/A1、S/A3の回路が示されるが、左側のセンスアンプブロックS/A0、S/A2も同様の回路構成である。センスアンプブロックS/A1を代表してその回路構成を説明すると、センスアンプブロックS/A1内に

は、アイソレーション信号IS01により導通、非導通に制御されるビット線トランスファークゲートBLT1、/BLT1と、NチャネルトランジスタN1、N2、N3からなるプリチャージ回路PR1と、NチャネルトランジスタN4、N5、N6及びPチャネルトランジスタP7、P8、P9からなるセンスアンプ回路SA1と、NチャネルトランジスタN10、N11からなるコラムゲートCLGと、別のビット線トランスファークゲートBLT2、/BLT2とが設けられる。

10 【0032】プリチャージ回路PR1は、プリチャージ信号であるイコライズ信号EQ12をHレベルにすることにより、トランジスタN3によりビット線対間を短絡し、トランジスタN1、N2によりビット線対BL1、/BL1をプリチャージ電圧VBLにプリチャージする。また、センスアンプ回路SA1では、トランジスタN4がグラウンド電位Vssに、トランジスタP9がHレベル側のセル電圧である降圧された内部電源Vii(又は外部電源Vcc)に、それぞれ接続される。そして、センスアンプ活性化信号SAE12及び/SAE12が、それぞれHレベル及びLレベルになることにより、センスアンプ回路SA1は活性化される。また、コラム選択信号CLGがHレベルになると、コラムゲートCLGは導通し、ビット線対BL1、/BL1がデータバス線対DB、/DBに接続される。

20 【0033】図2は、本実施の形態例におけるツインセルDRAMの読み出し及び書き込み動作の波形図である。図2(A)が読み出し動作を、図2(B)が書き込み動作をそれぞれ示す。図中、横軸は時間、縦軸は電圧を示し、ここでの例では、Hレベル側のビット線電圧が内部電源Vii、Lレベル側のビット線電圧がグラウンド電圧Vss、ビット線プリチャージレベルがそれらの中間のVii/2、そして、ワード線WLの駆動レベルが昇圧された電圧Vppにそれぞれ設定される。

30 【0034】図2(A)に示される通り、読み出し動作では、ビット線対BL、/BLがプリチャージレベルVii/2にプリチャージされて、イコライズ信号EQ12がLレベルに下がり、プリチャージ回路PR1が非活性化される。また、非選択側のメモリセルアレイに対応するアイソレーション信号IS02もLレベルに下がり、ビット線トランスファークゲートBLT2、/BLT2が非導通になる。

40 【0035】この状態で、ワード線WL(例えばWL2)が選択されると、ワード線WLはグラウンド電圧Vssから、昇圧電圧Vppまで駆動される。それに応答して、1対のメモリセルMC21、/MC21のセルトランジスタが導通する。今仮に、メモリセルMC21側にHレベル、メモリセル/MC21側にLレベルが記録されていたとすると、それに伴い、ビット線BL1がプリチャージレベルVii/2から微少電圧上昇し、ビット線/BL1がプリチャージレベルVii/2から微少電圧下降する。これらの微少電圧は、セル電圧をセルキャパシタの容量とビット線の寄生容量との比により分配した電圧である。

【0036】ビット線対BL1、/BL1に電圧差が発生したところで、センスアンプ活性化信号SAE、/SAEがそれぞれHレベル、Lレベルになり、センスアンプ回路SA1が活性化される。それにより、ビット線対BL1、/BL1がそれぞれHレベル、Lレベルに増幅され、それに伴いメモリセル内のセル電圧ST、/STもHレベル（内部電源V_{ii}）、Lレベル（グラウンド電位V_{ss}）に駆動される。

【0037】やがて、ワード線WL2がLレベルに下がって、再書き込み（restore）された相補データが1対のメモリセルに保持される。その後、センスアンプ活性化信号SAE12、/SAE12がそれぞれLレベル、Hレベルにされ、イコライズ信号EQ12とアイソレーション信号ISO2が共にHレベルにされ、ビット線対がプリチャージされる。

【0038】図2（A）から明らかな通り、相補データが1対のメモリセルに記録され、それらがビット線対に読み出されるので、ワード線WLが立ち上がった状態では、ビット線対に従来例よりもより大きな電圧差が発生する。従って、センスアンプのセンス、増幅動作が高速化され、また誤り読み出しが少なくなる。

【0039】図2（B）に示される書き込み動作は、次の通りである。ここでは、読み出しと同様に、メモリセルMC21にHレベル、/MC21にLレベルが記録されていて、その1対のメモリセルMC21、/MC21に反転データが書き込まれる場合を説明する。プリチャージ動作が終了し、ワード線WLが駆動され、センスアンプSA1が活性化されるまでは、上記の読み出し動作と同じである。この状態で、コラムゲートCLGが導通し、データバス線対DB、/DBに接続された図示しない書き込みアンプによって、ビット線対が反転駆動されると、図示される通り、ビット線対BL、/BL及びセル電圧ST、/STのレベルが反転する。その後、ワード線WLがLレベルに下がり、書き込まれた相補データが1対のメモリセルに保持される。その後、センスアンプ活性化信号SAE12、/SAE12がそれぞれLレベル、Hレベルにされ、イコライズ信号EQ12とアイソレーション信号ISO2が共にHレベルにされ、ビット線対がプリチャージされる。

【0040】図1及び図2に示される通り、ワード線WL2が選択される場合は、1対のメモリセルは、ビット線対BL1、/BL1及びBL3、/BL3に接続され、ビット線対BL0、/BL0及びBL2、/BL2にメモリセルは接続されない。従って、図1の左側のセンスアンプブロック群S/A0、S/A2は活性化される必要はなく、図1の右側のセンスアンプブロック群S/A1、S/A3側が活性化されるだけでよい。

【0041】従って、ワード線WL0、1、WL4、5が選択される場合は、ビット線対BL0、/BL0、BL2、/BL2に1対のメモリセルの相補データが読み出され、左側のセンスアンプS/A0、S/A2が活性化されて、ビット線対が駆動される。一方、ビット線対BL1、/BL1、BL3、/BL3のメモリセルは選択されず、右側のセンスアンプS/A1、S/A3は活性

化されず、ビット線対BL1、/BL1、BL3、/BL3はプリチャージレベルに維持される。ワード線WL2、3が選択される場合は、右側のセンスアンプが活性化され、左側のセンスアンプは非活性状態を維持する。

【0042】図3は、メモリセルの耐リーク特性を示す動作波形図である。図3（A）は従来のDRAMの耐リーク特性を、図3（B）は本実施の形態例におけるツインセルDRAMの耐リーク特性をそれぞれ示す。ここで、耐リーク特性とは、メモリセルのPN接合等のリーク電流によりHレベル側のセル電圧STが低下しても、そのセルのHレベルを読み出すことができる特性をいう。図3（A）及び（B）には、それぞれHレベル側のセル電圧STが低下した時の読み出し動作の波形図が示される。

【0043】図3（A）に示される通り、従来のDRAMでは、Hレベル側のセル電圧STがリーク電流により低下しても、ビット線のプリチャージレベルV_{ii}/2よりも所定の電圧ΔVより高いレベルV₁以上であれば、そのHレベルがセンスアンプにより検出される。ここで、セルキャパシタの容量をC_s、ビット線の寄生容量をC_{bl}とすると、Hレベル側のビット線のセル電圧STが電圧V₁まで低下した状態で、ワード線WLが駆動されてセルトランジスタが導通すると、ビット線対BL、/BL間の電圧差ΔVBLは、 $\Delta VBL = \Delta V * C_s / (C_s + C_{bl})$ となる。

【0044】これに対して、図3（B）に示される通り、本実施の形態例のツインセルDRAMでは、Hレベル側のセル電圧は、リーク電流によりビット線のプリチャージレベルV_{ii}/2より低い電圧V₂まで低下しても、正常に読み出すことができる。つまり、ツインセルDRAMでは、常にLレベルがいずれか一方のメモリセルに記録されるので、それを利用して正常に読み出すことができ、リーク電流の影響を受けにくい構成になる。

【0045】Lレベル側のセル電圧/STは、グラウンド電圧V_{ss}にあり、リーク電流によるレベルの変動はない。それに対して、Hレベル側のセル電圧STが低下して、ビット線プリチャージレベルV_{ii}/2より低く、しかしグラウンド電圧V_{ss}よりもΔVだけ高い電圧V₂まで低下したとする。この場合、Lレベル側のセル電圧/STにより、ビット線/BLの電圧が、プリチャージ電圧V_{ii}/2とグラウンド電圧との電圧差に応じた電圧だけ低下する。これに対して、Hレベル側のセル電圧STが電圧V₂まで低下しているため、ビット線BLの電圧は、プリチャージ電圧V_{ii}/2と低下した電圧V₂との差電圧に応じた電圧だけ低下する。結局、両ビット線対BL、/BLとの間の電圧差ΔVBLは、従来例と同様に、 $\Delta VBL = \Delta V * C_s / (C_s + C_{bl})$ となる。

【0046】即ち、ツインセルDRAMの場合は、必ずLレベル（グラウンド電圧V_{ss}）が一方のメモリセルに保持されているので、上記の通り、従来例のDRAMより

耐リーク特性が向上する。このことは、逆に言えば、この耐リーク特性を利用すれば、DRAMに特有のリフレッシュ動作は、Hレベル側のセル電圧が、図3(B)に示されたように、ビット線プリチャージレベルよりも低いレベル(例えばV2)に低下した後に行っても良いことを意味する。従って、ツインセルDRAMは、リフレッシュ動作のサイクル時間を、従来のDRAMと比較してより長く設定しても良いことを意味する。リフレッシュサイクルを長くすることにより、全体の消費電力を大幅に削減することができる。

【0047】しかも、セル電圧のリーク特性は、より高い電圧の時は大きなリーク電流が流れ急激に低下するが、セル電圧が低下するとそのリーク電流は少なく、レベルの低下速度も遅くなる。従って、ツインセルDRAMの場合のリフレッシュサイクルは、従来のDRAMよりも2倍以上の3~5倍以上に長くすることが可能である。

【0048】図3の動作特性から明らかな通り、本実施の形態例におけるツインセルDRAMでは、Hレベル側のセル電圧がビット線のプリチャージレベルより低くなった後に、リフレッシュ動作を行う構成を有する。かかる構成にすることにより、全体の消費電力を従来例より削減することができる。これは、セルのリーク特性に応じてリフレッシュサイクルを設定することにより実現できる。

【0049】図4は、本実施の形態例における別のツインセルDRAMの動作波形図である。図4(A)には、従来例のDRAMの読み出し動作が、図4(B)には本実施の形態例のツインセルDRAMの読み出し動作がそれぞれ示される。

【0050】図3では、ツインセルDRAMが常にLレベルのデータをいずれか一方のメモリセルに記録していることを利用して、リフレッシュサイクルを従来例よりも長くする構成を示した。それに対して、図4では、ツインセルDRAMが常にLレベルのデータをいずれか一方のメモリセルに記録していることを利用して、Hレベル側のセル電圧を、Hレベル側のビット線レベルよりも低くする構成を有する。具体的には、ワード線駆動レベルを、図4(A)に示されるような従来例の昇圧レベルVppではなく、図4(B)に示されるような低いレベルにする。Hレベル側のセル電圧STは、ワード線WLの駆動レベルからセルトランジスタの閾値電圧Vth分低いレベルになり、セル電圧STは、Hレベル側のビット線レベルViiよりも低くなる。

【0051】図4(A)に示された従来のDRAMは、ビット線のプリチャージレベルVii/2がセンスアンプのレファレンス電圧になる。従って、Hレベル側のセル電圧STは、できるだけ高い電圧にすることが望ましい。その為、従来例では、ワード線WLの駆動レベルを、Hレベル側のビット線レベルViiより少なくともセ

ルトランジスタの閾値電圧Vth高い昇圧電圧Vppにして、即ち、ワード線の駆動レベルVppは、Hレベル側のビット線レベルViiよりも閾値電圧Vth以上(V3)高いレベルに設定される。その分、ワード線駆動のための電力消費が避けられない。

【0052】それに対して、図4(B)のツインセルDRAMでは、ワード線駆動レベルを、従来例より低いレベルにしている。その結果、Hレベル側のセル電圧STは、ワード線駆動レベルよりも閾値電圧Vth分低いレベルになる。逆に言えば、ワード線駆動レベルとHレベル側のビット線レベルとの差電圧V4は、セルトランジスタの閾値電圧Vthより低い電圧になる。

【0053】上記のようにワード線駆動レベルを低下させて、Hレベル側のセル電圧STをHレベル側ビット線レベルよりも低くしても、ツインセルDRAMの場合は、正常に読み出すことができる。ツインセルDRAMの場合は、常にLレベルがいずれか一方のメモリセルに保持される。従って、ワード線の駆動にตอบสนองして、Lレベルを保持するメモリセル側のビット線/BLは、そのLレベルに応じて所定電圧だけ低下する。また、Hレベルを保持するメモリセル側のビット線BLは、その低下したHレベルに応じて所定電圧だけ上昇する。この時のビット線対に生成される差電圧は、図4(A)の場合のビット線対の差電圧よりむしろ大きい。従って、Hレベル側セル電圧が低下したツインセルDRAMであっても、十分にデータを読み出すことができる。

【0054】この実施例では、ワード線駆動レベルを低下させているので、ワード線駆動に伴う消費電力を、従来例よりも少なくすることができる。ワード線駆動レベルは、Hレベル側のビット線電位である内部電源Viiにしても良い。即ち、ワード線はビット線と同じスイングレベルを有することになり、大幅に電力を省力化することができる。

【0055】図5は、本実施の形態例における更に別のツインセルDRAMの動作波形図である。このツインセルDRAMでは、センスアンプの活性化のタイミングが、選択されたワード線WLが駆動レベルに達する前に、設定される。即ち、図5(A)に示した従来のDRAMでは、ワード線WLが駆動レベルである昇圧電圧Vppに駆動されて、Hレベル側のセル電圧STが十分ビット線BLに読み出された後に、センスアンプが活性化される。それに対して、図5(B)に示した本実施の形態例のツインセルDRAMでは、常にLレベルがいずれかのメモリセルに記録されることを利用して、ワード線WLが駆動レベルである昇圧電圧Vppに達する前の早いタイミングで、センスアンプが活性化される。つまり、図中の矢印tSAに示される通り、活性化信号SAE、/SAEのタイミングが早くなる。

【0056】従来のDRAMでは、ワード線WLを駆動しても、レファレンス側のビット線/BLのレベルは、プリ

13

チャージレベル $V_{ii}/2$ から変動しない。従って、ビット線対間の電圧差 ΔV は、Hレベル側のセル電圧STに応じて変化するビット線BL側の電圧上昇によって生成される。従って、従来のDRAMは、ワード線WLを十分に駆動レベルまで引き上げて、セル電圧STによるビット線BLレベルの上昇が完了するまで、即ち、セル電圧STとビット線レベルとが一致するまで待ってから、センスアンプを活性化する。図中、WL-SAE wait timeと示した時間が、ワード線WLの駆動からセンスアンプ活性化までの時間である。

【0057】それに対して、ツインセルDRAMでは、選択されたワード線WLが駆動レベル V_{pp} まで上昇する前に、センスアンプ活性化信号SAE、/SAEをHレベル及びLレベルにしてセンスアンプを活性化する。ワード線WLのレベルが、グラウンド電圧 V_{ss} よりセルトランジスタの閾値電圧 V_{th} だけ高くなると、Lレベル側のセルトランジスタが導通し、ビット線/BLをプリチャージレベルから低下させる。その後、ワード線WLがビット線プリチャージレベル $V_{ii}/2$ よりセルトランジスタの閾値電圧 V_{th} だけ高くなると、Hレベル側のセルトランジスタが導通し、ビット線BLをプリチャージレベルから上昇させる。

【0058】セルに記憶されたデータを読み出すためには、Lレベル側のセル電圧によるビット線のレベルの低下が終了していれば足りるので、Hレベル側のセル電圧によるビット線BLのレベルの上昇が終了すること待たなく、センスアンプを活性化することができるのである。図5(B)に示される通り、Hレベル側のセル電圧STが、ビット線BLと同じ電位になる前に、センスアンプを活性化することが可能である。つまり、従来例よりも矢印tSA分だけセンスアンプの活性化タイミングを早めることができる。

【0059】図3(B)に示したように、Hレベル側のセル電圧がリーク電流によりプリチャージレベルより更に低く低下した場合は、ワード線WLの駆動にตอบสนองして、そのセル電圧の低下によってビット線BLのレベルも低下する。この場合は、図5(B)の如く、センスアンプの活性化タイミングを早めることにより、ビット線対間の差電圧が大きい状態で、センスアンプを活性化させ、センス動作及び増幅動作を行うことができ、読み出し感度の点でより好ましい。

【0060】図6、7は、図1のツインセルDRAMの詳細回路図である。図6には、左側にセンスアンプ群、右側にセルアレイBlock-Bが示され、図7には、左側に図6と同じセルアレイBlock-B、右側にセンスアンプ群が示される。従って、図6、7を組み合わせることにより、図1に示した、セルアレイの両側にセンスアンプ群が配置される構成が示される。また、図6のセンスアンプ群の左側には、図示しない別のセルアレイBlock-Aが配置され、図7のセンスアンプ群の右側には、図示しない

14

い別のセルアレイBlock-Cが配置される。つまり、セルアレイBlock-A、BがセンスアンプS/A(i-2)、(i-1)を共有し、セルアレイBlock-B、CがセンスアンプS/A(i)、(i+1)を共有している。

【0061】図中、セルアレイBlock-Bは、図1のセルアレイと同じ配置になっており、メモリセルとビット線対には同じ引用番号を与えているが、ワード線については異なる引用番号を与えている。また、ワードドライバWDとして例示的に6個のANDゲートが示されている。

10 セルアレイBlock-B内には、第1のビット線BL1、第2のビット線BL0、第3のビット線/BL1、第4のビット線/BL0が順番に配列され、第1、第3のビット線BL1、/BL1からなる第1のビット線対が、セルアレイの右側にあるセンスアンプS/A(i)、(i+1)に接続され、第2、第4のビット線BL0、/BL0からなる第2のビット線対が、セルアレイの左側にあるセンスアンプS/A(i-2)、(i-1)に接続される。ビット線BL3、BL2、/BL3、/BL2も同じである。

20 【0062】セルアレイのメモリセルの配置から明らかな通り、第2のワード線群WLxx00、WLxx01、WLxy00、WLxy01のいずれかが選択されて駆動されると、第2のビット線対BL0、/BL0にメモリセルのデータが読み出される。従って、その場合は、左側のセンスアンプ群S/A(i-2)、(i-1)が活性化される。従って、センスアンプ制御回路SAC1が、ANDゲート10、12により生成される行アドレス/RA1とセルアレイ選択信号Block-A、Bの論理和信号により活性化され、タイミング信号 ϕ_1 、 ϕ_2 にตอบสนองしてプリチャージ回路PRの非活性化とセンスアンプS/Aの活性化を制御する。例えば、ワード線WLxx00が選択されるときは、行アドレス/RA1がHレベルになり、セルアレイ選択信号Block-BもHレベルになる。従って、ANDゲート12の出力がHレベルになり、ビット線トランスファ信号ISO(i-1)がHレベルになり、第2のビット線対BL0、/BL0、BL2、/BL2をセンスアンプ群S/A(i-2)、(i-1)に接続する。そして、プリチャージ回路PRを非活性するタイミング信号 ϕ_1 にตอบสนองして、ANDゲート16の出力がHレベル、インバータ17の出力がLレベルになり、センスアンプ群S/A(i-2)、(i-1)内のプリチャージ回路PRが非活性になる。その後、センスアンプ活性化タイミング信号 ϕ_2 にตอบสนองして、ANDゲート18の出力がHレベルになり、センスアンプ群S/A(i-2)、(i-1)内のセンスアンプS/Aが活性化される。その結果、第2のビット線対BL0、/BL0、BL2、/BL2を駆動する。

30 【0063】この時、行アドレスRA1がLレベルであるので、その行アドレスRA1とセルアレイ選択信号Block-Bが入力されるANDゲート20の出力がLレベルのままとなり、また、非選択のセルアレイBlock-Cの信号もLレベルであるので、ANDゲート22の出力もLレベルのままとなり、その結果、ORゲート24の出力がLレベルとなり、図7に示される右側のセンスアンプ群S/A(i)、(i+1)は非活性状態を維持する。このセンスアンプ群の非活

50

性により、第1のビット線対BL1、/BL1、BL3、/BL3はプリチャージレベル $V_{ii}/2$ を維持する。

【0064】上記の第2のワード線群のいずれかが選択されるとき、左側のセンスアンプ群が活性化され、右側のセンスアンプ群が非活性に維持されることにより、次の動作上のメリットを有する。即ち、左右のセンスアンプ群のうち、一方のセンスアンプ群のみが活性化して駆動するので、センスアンプにより消費される電力は半分で良い。また、第2のビット線対BL0、/BL0、BL2、/BL2が左のセンスアンプにより駆動されるとき、それら第2のビット線対の間に配置されている第1のビット線対BL1、/BL1、BL3、/BL3がプリチャージレベル $V_{ii}/2$ に維持されるので、第2のビット線対への隣接するビット線からのクロストークの影響が抑えられる。つまり、第2のビット線対に対して、第1のビット線対がシールド線の役割を持つことになる。この隣接するビット線からのノイズが抑えられることにより、センスアンプの動作マージンが広くなり、リフレッシュサイクルをより長くすることができる。リフレッシュサイクルがより長くなることにより、より消費電力が抑えられる。

【0065】逆に、第1のワード線群 W_{Lx10} 、 W_{Lx11} のいずれかが選択されて駆動される場合は、第1のビット線対BL1、/BL1、BL3、/BL3に1対のメモリセルのデータが読み出され、右側のセンスアンプ群 $S/A(i)$ 、 $(i+1)$ がセンスアンプ制御回路SAC2により活性化される。一方、左側のセンスアンプ群 $S/A(i-2)$ 、 $(i-1)$ は非活性状態を維持される。従って、第1のビット線対BL1、/BL1、BL3、/BL3はH、Lレベルに駆動されるが、第2のビット線対BL0、/BL0、BL2、/BL2はプリチャージレベルに維持される。従って、上記と同様に、第2のビット線対がシールド線の機能をして、第1のビット線対を駆動するセンスアンプの動作マージンを広くする。センスアンプ制御回路SAC2も前述のセンスアンプ制御回路SAC1と同じ構成であり、同じ動作をする。

【0066】以上の実施の形態例で示した通り、ツインセルDRAMは、1ビットのデータを、相補データにして1対のメモリセルに保持させる。従って、常にいずれか一方にLレベルを保持したメモリセルが存在する。この特性を利用することにより、第1に、Hレベル側のセル電圧がプリチャージレベルより低く低下しても、正常に読み出すことができる。従って、その分リフレッシュサイクルを長く設定することが可能になる。

【0067】第2に、Hレベル側のセル電圧を低くしても読み出し動作に支障はないので、Hレベル側のセル電圧をビット線のHレベルよりも低くすることができ、それに伴い、ワード線の駆動レベルをHレベル側のビット線レベルに対して閾値電圧以上に高くする必要がなくなる。

【0068】第3に、Hレベル側のセル電圧によるビット線レベルの変化を必要としないので、ワード線が駆動

レベルに達する前に、センスアンプを活性化することも可能になる。

【0069】第1又は第2の構成にすることで、消費電力を節約することができるのに対して、第3の構成にすることで、読み出し又は書き込み動作を高速化することができる。メモリ回路全体のバランスを考慮して、いずれかの構成、またはそれらの組み合わせを適宜選択することができる。

【0070】第4に、読み出し又は書き込み時に、セルアレイの両側に設けられたセンスアンプ群の一方のみが活性化し、他方のセンスアンプ群は非活性状態に維持されるので、センスアンプの駆動に伴う消費電力を少なくすることができる。

【0071】第5に、第1のビット線対が駆動されるときに、その間に配置された第2のビット線対はプリチャージレベルに維持されるので、シールド線として機能し、センスアンプの動作マージンを大きくすることができる。従って、リフレッシュサイクルを長くすることができ、消費電力を抑えることができる。

20 【0072】図8は、更に別のツインセルDRAMの構成を示す図である。図1の例では、ワードドライバWDが1つのワード線を選択して駆動すると、1対のメモリセルがビット線対にそれぞれ接続され、相補データに対応してビット線対間に電圧差が生成された。図8の例では、1ビットの記憶データを相補データとして1対のメモリセルに記録することは同じであるが、その為にワードドライバWDが1対のワード線を駆動して、1対のメモリセルをビット線対に接続する構成を有する。従って、ワードドライバWDによるローアクセス動作では、ローアドレスに対して1対のワード線が同時に駆動される。

【0073】即ち、図8中、ワードドライバWDが1対のワード線 $WL1a$ 、 $WL1b$ を同時に駆動すると、メモリセル対MC10、/MC10、及びMC11、/MC11がそれぞれ同時にビット線対BL、/BLに接続される。それにより、相補データがそれらのビット線対に読み出され、或いは相補データがそれらのビット線対を介して上記メモリセル対MC10、/MC10、及びMC11、/MC11に書き込まれる。これらのメモリセル対の読み出しは、センスアンプ $S/A1$ 、 $S/A0$ により行われる。この例の場合は、常に1対のワード線を駆動して相補データを保持する1対のメモリセルを選択しなければならない。但し、それ以外の構成は、図1のメモリ回路と同じである。

【0074】図8の例では、読み出し時または書き込み時に両側のセンスアンプを活性化する必要がある。従って、セルアレイのメモリセルの配置を変更することにより、1対のワード線を駆動した時に、第1のビット線対にのみ相補データが読み出され、第2のビット線対に相補データが読み出されないようにすることで、図1の例と同様に、一方のセンスアンプ群のみを活性化すること

ができる。

【0075】図8に示された別の実施例の場合でも、リフレッシュサイクルを短くしたり、ワード線駆動レベルを低くしたり、センスアンプの活性化のタイミングをワード線が駆動レベルに達する前に早めたりすることができる。従って、消費電力の低下または読み出し、書き込み動作の高速化を達成することができる。

【0076】以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0077】

【発明の効果】以上、本発明によれば、1対のメモリセルに相補データを保持するようにしたので、従来の1トランジスタ・1キャパシタ型のメモリセルを利用したセルアレイをそのまま使用して、読み出し感度が高く、それに伴い消費電力が低い、或いは高速動作が可能なメモリセルを実現することができる。更に、ワード線を駆動した時に第1のビット線対にデータが読み出され、センスアンプにより駆動されるが、第2のビット線対にはデータが読み出されずにプリチャージレベルに維持される。従って、センスアンプの消費電力を減らし、第2のビット線対のシールド効果により第1のビット線対へのクロストークを減らすことができる。

【0078】1ビットのデータを記録するのに、1対のメモリセルを必要とするが、DRAMの大容量化の特質を利用することで、メモリ容量をそれほど損なうことなく、低消費電力化又は高速化を図ることができる。

【図面の簡単な説明】

【図1】本実施の形態例におけるメモリ回路の構成図で

ある。

【図2】本実施の形態例におけるツインセルDRAMの読み出し及び書き込み動作の波形図である。

【図3】メモリセルの耐リーク特性を示す動作波形図である。

【図4】本実施の形態例における別のツインセルDRAMの動作波形図である。

【図5】本実施の形態例における更に別のツインセルDRAMの動作波形図である。

10 【図6】図1のツインセルDRAMの詳細回路図である。

【図7】図1のツインセルDRAMの詳細回路図である。

【図8】更に別のツインセルDRAMの構成を示す図である。

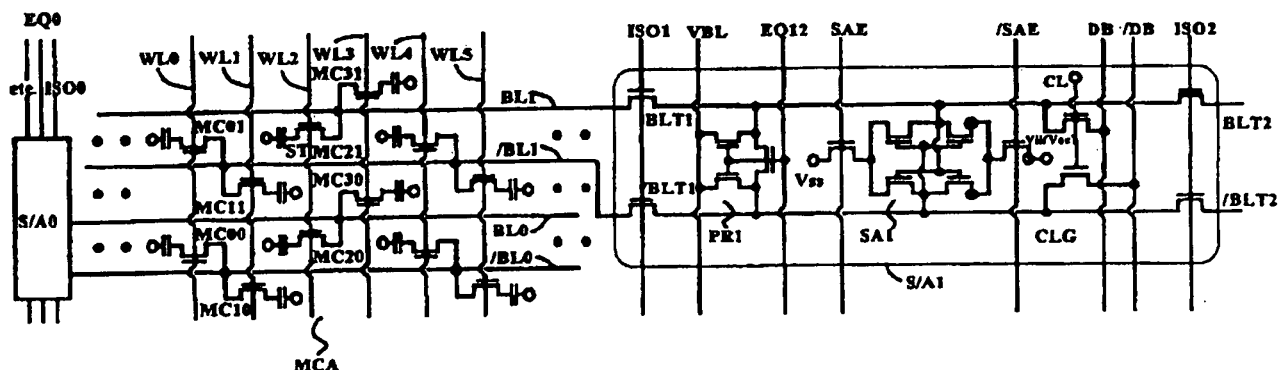
【図9】従来のDRAMの構成図である。

【符号の説明】

MC	メモリセル
MC、/MC	1対のメモリセル
WL	ワード線
WLxx00、WLxx01、WLxy00、WLxy01	第1のワード線群
WLxx10、WLxx11	第2のワード線群
BL、/BL	ビット線対
BL0、/BL0	第1のビット線対
BL1、/BL1	第2のビット線対
S/A	センスアンプブロック
SA	センスアンプ回路
PR	プリチャージ回路

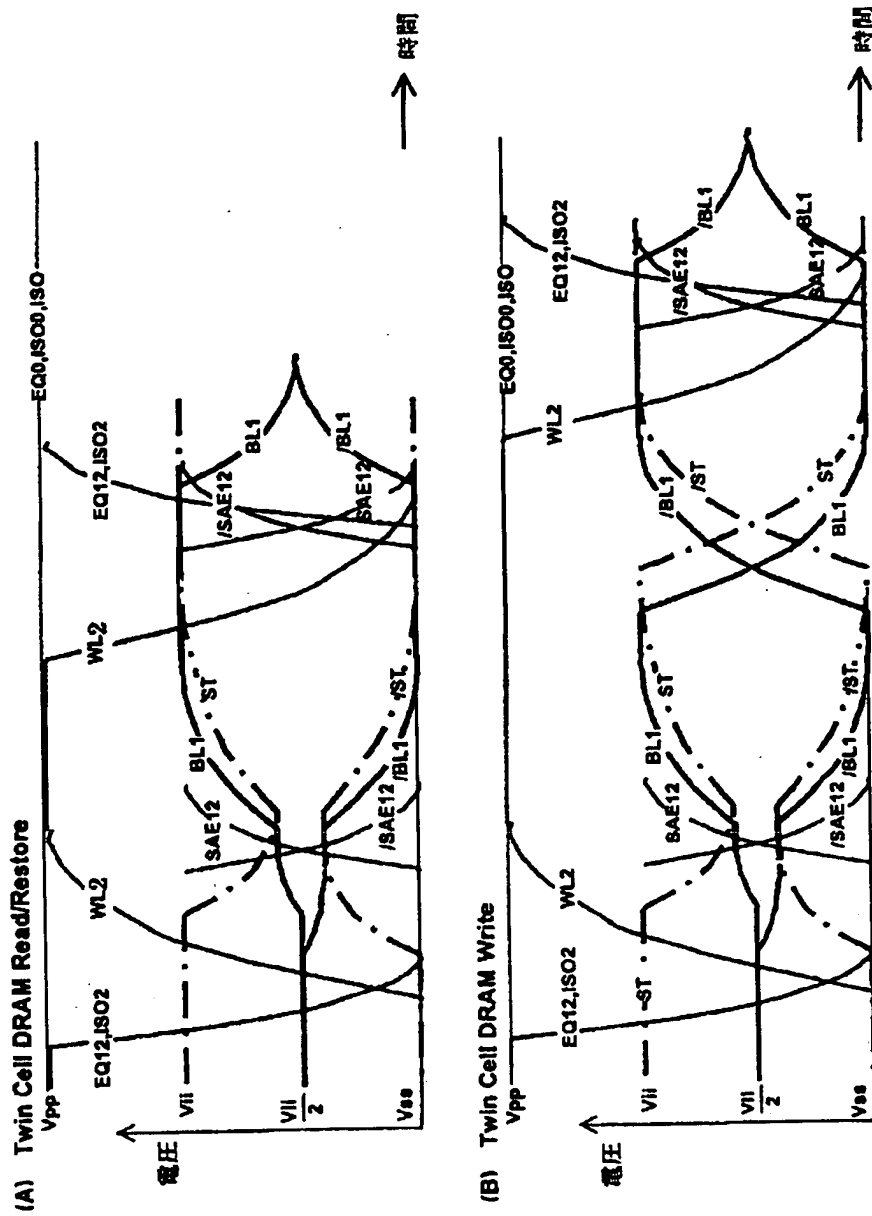
【図9】

従来例



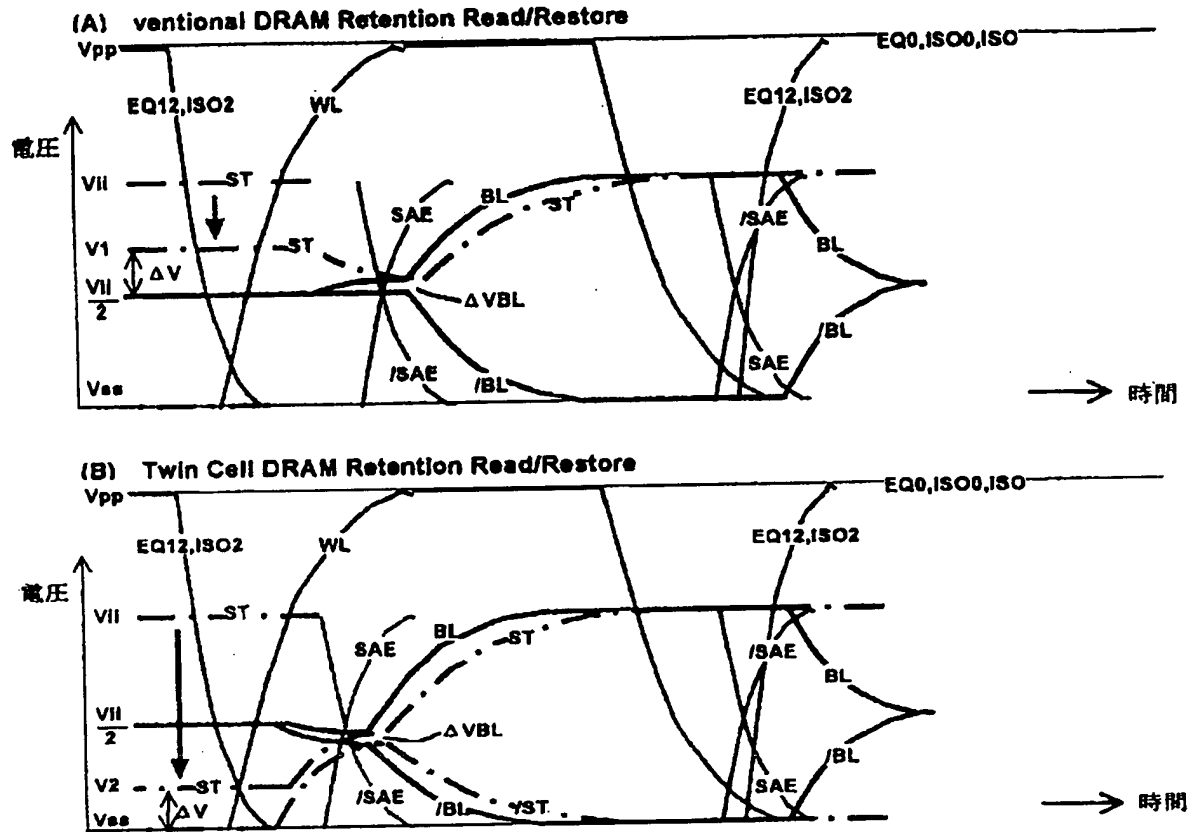
【図 2】

ツインセルDRAMの読出／書込動作波形図



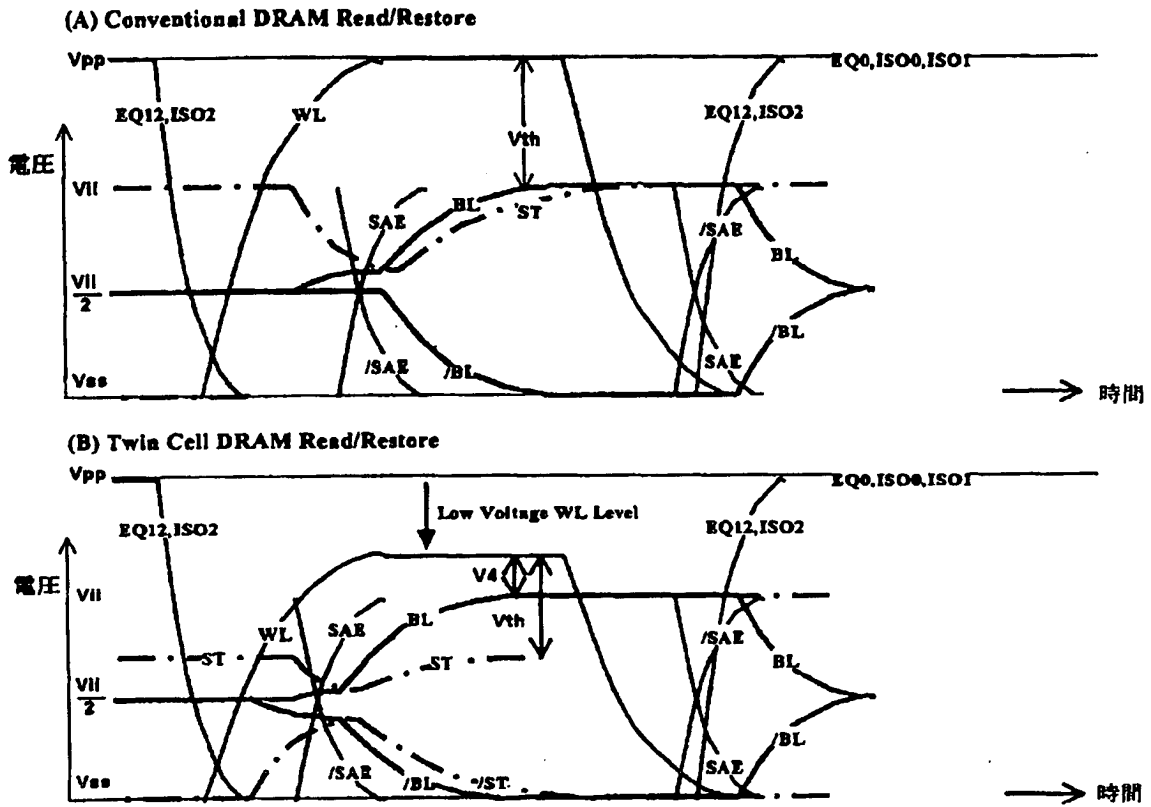
【図 3】

メモリセルの耐リーク特性を示す動作波形図



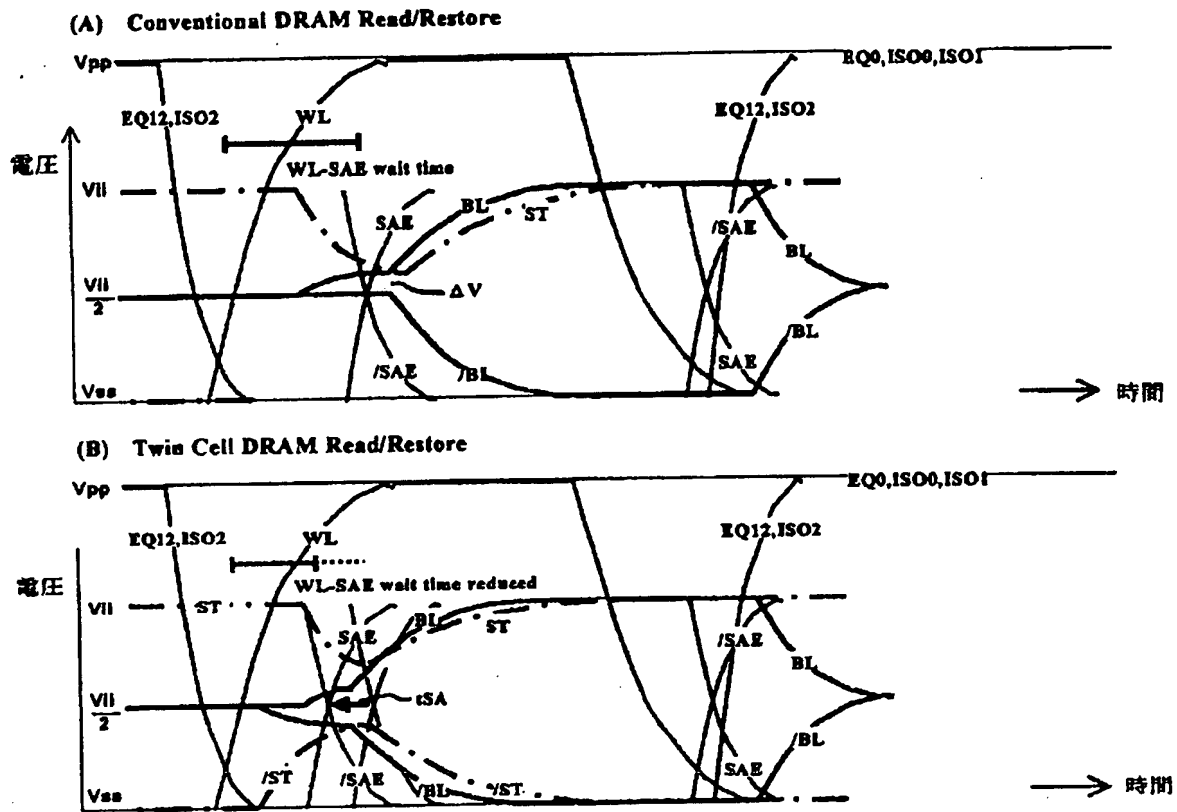
【図 4】

別のツインセルDRAMの動作波形図

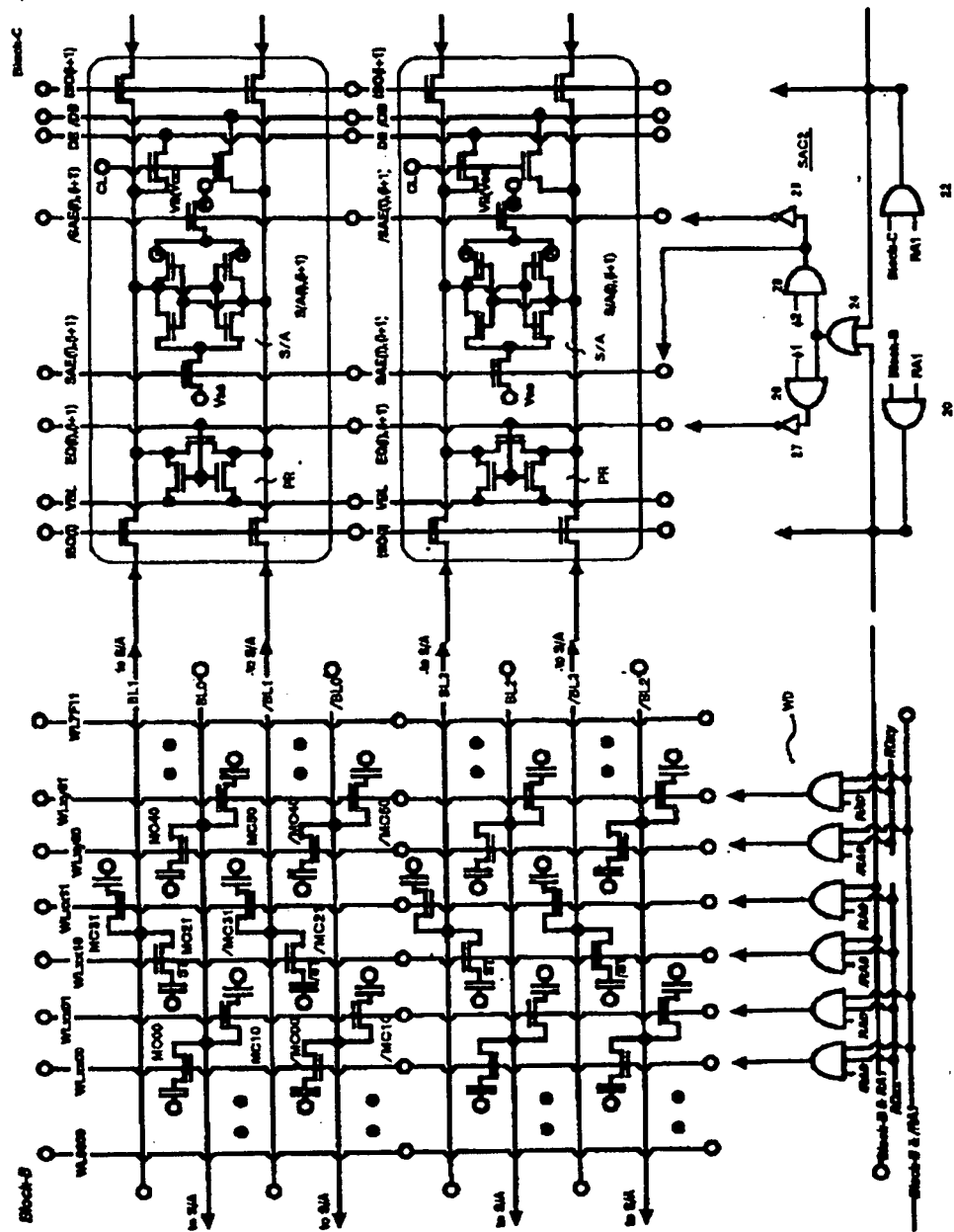


【図5】

別のツインセルDRAMの動作波形図



【図 7】



1号 富士通株式会社内